

XA-10058

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Tetsuya FUKUOKA et al.

Appln. No.: 10/806,417

Group Art Unit: 2811

Filed: March 23, 2004

For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

* * *

TRANSMITTAL OF CERTIFIED COPY OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

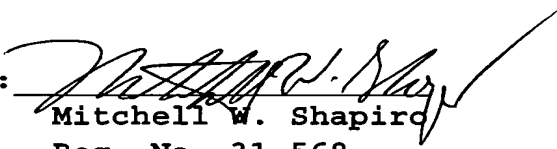
Transmitted herewith is a certified copy of Japanese
Patent Application No. 2003-091518 filed March 28, 2003,
for which Applicants claim priority under 35 U.S.C. § 119.

Respectfully submitted,

MWS:lmb

Miles & Stockbridge P.C.
1751 Pinnacle Drive
Suite 500
McLean, Virginia 22102-3833
(703) 903-9000

By:


Mitchell W. Shapiro
Reg. No. 31,568

June 15, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 8 日
Date of Application:

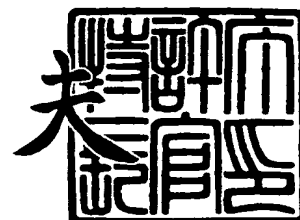
出 願 番 号 特 願 2 0 0 3 - 0 9 1 5 1 8
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 9 1 5 1 8]

出 願 人 株式会社日立製作所
Applicant(s):

2 0 0 4 年 4 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H03002351

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/66

【発明者】

 【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

 【氏名】 福岡 哲也

【発明者】

 【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

 【氏名】 山岸 幹生

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【代理人】

 【識別番号】 100081938

 【弁理士】

 【氏名又は名称】 徳若 光政

 【電話番号】 0422-46-5761

【手数料の表示】

 【予納台帳番号】 000376

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 メモリ回路の出力部又は論理段の入力側に設けられたラッチ回路を備え、

上記ラッチ回路は、通常動作のときの帰還信号又は試験動作のときのテスト信号を動作モードに対応して切り替えて帰還ループに伝える信号選択回路を有することを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 において、

上記ラッチ回路は、上記メモリ回路の出力部に設けられるものであり、

上記信号選択回路は、上記動作モード信号により制御され、ラッチ出力信号又は上記メモリ回路に入力される入力信号をテスト信号として上記帰還ループに択一的に伝えるものであることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 において、

上記ラッチ回路は、上記メモリ回路の出力部に設けられるものであり、

上記信号選択回路は、上記動作モード信号とラッチ出力信号を受ける論理ゲート回路により構成され、

上記論理ゲート回路は、試験動作のときの動作モード信号により所定レベルの出力信号を固定的に出力し、それを上記テスト信号として帰還ループに伝えることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1 において、

上記ラッチ回路は、上記メモリ回路の出力部に設けられるものであり、

上記ラッチ回路は、上記メモリ回路のメモリセルからの読み出し信号をスイッチ制御信号により第 1 インバータ回路の入力端子に伝える第 1 スイッチと、上記第 1 インバータ回路の出力信号を入力端子に受ける第 2 のインバータ回路と、上記第 2 のインバータ回路の出力信号を上記スイッチ制御信号により上記第 1 インバータ回路の入力端子に伝える第 2 スイッチとを含み、上記第 2 インバータ回路の出力端子からラッチ出力信号を出力するものであり、

上記信号選択回路は、上記スイッチ制御信号によりスイッチ制御されて上記メ

モリ回路に入力される入力信号をテスト信号として上記第1インバータ回路の入力端子に伝える第3スイッチ及び上記スイッチ制御信号を形成する信号生成回路からなり、

上記信号生成回路は、上記動作モード信号により通常動作のときには上記第3スイッチをオフ状態にし、クロックパルスを上記スイッチ制御信号として上記第1と第2スイッチを相補的にスイッチ制御し、上記動作モード信号によりテスト動作のときには上記第1スイッチと第2スイッチをオフ状態にし、上記第3スイッチをオン状態にしてなることを特徴とする半導体集積回路装置。

【請求項5】 請求項1において、

上記ラッチ回路は、上記論理段の入力部に設けられるものであり、

通常動作のときの入力信号を受ける第1ラッチ回路と、上記第1ラッチ回路の出力信号を受けて上記論理段に入力される入力信号を形成する第2ラッチ回路からなり、

上記信号選択回路は、上記第1ラッチ回路の帰還ループに設けられるものであることを特徴とする半導体集積回路装置。

【請求項6】 請求項5において、

上記第1ラッチ回路は、上記入力信号をスイッチ制御信号により第1インバータ回路の入力端子に伝える第1スイッチと、上記第1インバータ回路の出力信号を入力端子に受け、クロックパルスにより動作制御される第1クロックドインバータ回路と、上記第1クロックドインバータ回路の出力信号を上記スイッチ制御信号により上記第1インバータ回路の入力端子に伝える第2スイッチとを含み、

上記第2ラッチ回路は、上記クロックパルスにより制御されて、上記第1ラッチ回路とは信号取り込み動作と信号保持動作とを相補的に行う回路と、上記論理段の入力部に伝えられる出力信号を形成する第2インバータ回路及びテストスキャン用の出力信号を形成する第3インバータ回路とを含み、

上記信号選択回路は、テスト用入力信号を入力端子に受け、上記スイッチ制御信号により動作制御される第2クロックドインバータ回路と、上記クロックパルスによりスイッチ制御されて上記第2クロックドインバータ回路の出力信号を上記第2スイッチの入力側に伝える第3スイッチ及び上記スイッチ制御信号を形成

する信号生成回路からなり、

上記信号生成回路は、

上記動作モード信号により通常動作のときには上記 2 クロックドインバータ回路を非動作状態にし、上記クロックパルスを上記スイッチ制御信号として上記第 1、第 2 スイッチに伝え、第 1 ラッチ回路と第 2 ラッチ回路により入力信号に応答して信号取り込み動作と信号保持動作とを相補的に行うようにし、

上記動作モード信号によりテスト動作のときには上記第 1 スイッチをオフ状態にし、第 2 スイッチをオン状態にし、動作状態の第 2 クロックドインバータ回路を通したテスト用入力信号に応答して第 1 ラッチ回路と第 2 ラッチ回路により信号取り込み動作と信号保持動作とを相補的に行うようにしてなることを特徴とする半導体集積回路装置。

【請求項 7】 第 1 モードでは、上記ラッチ回路として動作し、

第 2 モードでは、上記ラッチ回路の帰還ループに設けられた信号切り替え回路を介して入力された信号をスルーする動作を行う回路を備えてなることを特徴とする半導体集積回路装置。

【請求項 8】 請求項 7 において、

上記第 1 モードは、通常動作モードであり、

上記第 2 モードは、試験動作モードであることを特徴とする半導体集積回路装置。

【請求項 9】 第 1 入力ノードと、

前記第 1 入力ノードに接続される転送ゲートと、

前記第 1 転送ゲートに接続される出力ノードと、

前記第 1 転送ゲートと前記出力ノードとの間に設けられた帰還ループと、

前記帰還経路に接続される第 2 入力ノードとを具備し、

前記第 1 転送ゲートは、第 1 モードにおいて、クロック信号に基づいて前記入力ノードに入力されたデータを前記出力ノードに転送し、第 2 モードにおいて、前記入力ノードと前記出力ノードを遮断し、

前記第 2 モードにおいて、前記第 2 入力ノードにデータを入力することを特徴とする半導体集積回路装置。

【請求項 10】 請求項 9 において、

前記半導体集積回路装置は、前記帰還ループに設けられたマルチプレクサを更に具備し、

前記マルチプレクサは、前記出力ノードと前記第 2 入力ノードに接続され、前記第 1 モードにおいて、前記出力ノードを選択し、前記第 2 モードにおいて、前記第 2 入力ノードを選択することを特徴とする半導体集積回路装置。

【請求項 11】 請求項 9 において、

前記半導体集積回路装置は、前記帰還ループに設けられた第 2 転送ゲートを更に具備し、

前記第 2 転送ゲートは、前記第 1 モードにおいて、前記クロック信号に基づいて前記出力ノードに転送されたデータを帰還させるか否かを決定し、前記第 2 モードにおいて、前記第 2 入力ノードに入力されたデータを前記出力ノードに転送することを特徴とする半導体集積回路装置。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

この発明は、半導体集積回路装置に関し、例えば論理回路とメモリ回路を備えた半導体集積回路装置のテスト（診断）技術に利用して有効な技術に関するものである。

【0002】**【従来の技術】**

大規模集積回路（以下、LSI という）のスカンテストでは、フリップフロップ（以下 FF と記す）、ラッチを含む順序回路を組み合わせ回路化してテストが行われる。この際、メモリ回路内に多数含まれる記憶素子を、メモリ外の FF、ラッチと同様に扱うことは適当でない。スカンテストで扱う FF、ラッチの数が多くなりすぎるからである。

【0003】

メモリ回路は BIST (Built in Self Test) や機能テストで診断可能である。そこでスカンテスト時にはメモリをブラックボックス化し、入力データをその

まま出力する、又は固定値を出力することが考えられる。この概念図を図 7 に示す。つまり、図 7 (a) は通常動作であり、図 7 (b) はスキャンテスト動作である。図 8 にメモリマクロセルのテスト時に入力データをスルーさせる回路の例を示す。図 8 の回路では、モード信号 T E N がハイレベル（論理 1）のときテスト動作とされ、モード信号 T E N がロウレベル（論理 0）のとき通常動作とされる。メモリ回路の出力ラッチの出力部にマルチプレクサ M U X を設け、通常動作時は出力ラッチの出力信号を伝達し、テスト時はメモリ入力データを選択して伝達させる。これにより、図 7 (a) のように通常動作時はラッチの記憶値を、図 7 (b) のようにテスト時はメモリ入力データを出力データとして出力することができる。

【0004】

【発明が解決しようとする課題】

図 8 に示したような回路においては、出力ラッチのメインパス上にマルチプレクサ M U X が付加されるためメインパスの遅延時間が増大する。この結果、通常動作時においてメモリセルの読み出し時間が大きくなり、製品の動作周波数が遅くなってしまうという問題を有する。つまり、L S I の大規模化に伴い、L S I 診断のために B I S T などの回路を付加することが必須となってきた。しかし高速動作 L S I では、L S I の動作周期内に収めねばならない論理素子の遅延時間が、L S I の動作周期に対しマージンが無い場合が多い。この場合、L S I 本来の機能とは関係の無い上記のような診断回路を付加することにより、論理素子の遅延時間が大きくなり、L S I の動作速度を遅くしてしまう。

【0005】

この発明の目的は、通常動作時の論理素子ディレイを劣化させない診断回路を備えた半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0006】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、

下記の通りである。メモリ回路の出力部又は論理段の入力側に設けられたラッチ回路において、信号選択回路をラッチ回路の帰還ループに設けて、通常動作のときには帰還信号を伝え、試験動作のときにはテスト信号を入力するように動作モードに対応して切り替える。

【0007】

【発明の実施の形態】

図1には、この発明に係る半導体集積回路装置に搭載される出力ラッチの一実施例の回路図が示されている。この実施例の出力ラッチは、半導体集積回路装置に搭載されるメモリ回路の出力部に設けられるものであり、メモリセルからの読み出し信号をクロックパルスCLKに同期して取り込み動作と保持動作を行う。上記出力ラッチの出力信号Doutは、後述するような論理段に入力される入力信号とされる。

【0008】

出力ラッチは、メモリセルからの読み出し信号を伝えるPチャネルMOSFETQ1とNチャネルMOSFETQ2からなるCMOSSスイッチと、このCMOSSスイッチ(Q1、Q2)を通した上記読み出し信号は、インバータ回路N1と、その出力信号を受けるインバータ回路N2を通して出力信号Doutとして出力される。この実施例では、上記インバータ回路N2の出力信号が一方の入力に伝えられるマルチプレクサMUXと、このマルチプレクサMUXの出力信号を伝達するPチャネルMOSFETQ3とNチャネルMOSFETQ4からなるCMOSSスイッチとが、上記出力ラッチの帰還ループとして設けられる。

【0009】

入力信号Dinは、上記メモリセルへの書き込み信号とされることの他、上記マルチプレクサMUXの他方の入力に伝えられる。なお、同図においては、入力信号Dinがメモリセルに伝えられ、メモリセルの信号が上記読み出し信号として出力ラッチに伝えられるよう簡略化して示されている。実際のメモリでは、メモリセルが複数のワード線とビット線(又はデータ線)の交点に複数個設けられるものであり、かかるワード線等の選択回路により選択されたメモリセルの記憶情報がセンスアンプ等を通して増幅されて出力されるものであるが、同図では上記の

ように省略されている。

【0010】

この実施例では、上記出力ラッチを通常動作のときとスキャン試験動作のときとで異なる動作を行わせるようにする次のような信号生成回路が設けられる。クロックパルスCLKは、ナンド（NAND）ゲート回路G1の一方の入力に供給される。このナンドゲート回路G1の他方の入力には、テストイネーブル信号TENがインバータ回路N3を通して伝えられる。上記テストイネーブル信号TENは、制御信号として上記マルチプレクサMUXに伝えられる。上記ナンドゲート回路G1の出力信号は、上記CMOSスイッチを構成するPチャネルMOSFETQ1とNチャネルMOSFETQ4のゲートに伝えられる。上記ナンドゲート回路G1の出力信号は、インバータ回路N4により反転されて上記CMOSスイッチを構成するNチャネルMOSFETQ2とPチャネルMOSFETQ3のゲートに伝えられる。

【0011】

上記テストイネーブル信号TENは、通常動作のときにはロウレベル（論理0）にされ、テスト動作のときにはハイレベル（論理1）にされる。上記のように通常動作のときには、上記テストイネーブル信号TENがロウレベルにされるので、マルチプレクサMUXにおいては0側入力に対応した上記出力信号Doutが選択される。また、ナンドゲート回路G1がゲートを開いており、クロック信号CLKが反転して伝えられる。

【0012】

上記のような通常動作において、クロックパルスCLKがハイレベルのときには、ナンドゲート回路の出力信号がロウレベルとなり、CMOSスイッチ（Q1とQ2）をオン状態にし、CMOSスイッチ（Q3とQ4）をオフ状態にするので、メモリセルからの読み出し信号がインバータ回路N1とN2からなるメインパスを通して出力信号Doutとして伝えられる。クロックパルスCLKがハイレベルからロウレベルに変化すると、ナンドゲート回路G1の出力信号がハイレベルとなり、CMOSスイッチ（Q1とQ2）をオフ状態にし、CMOSスイッチ（Q3とQ4）をオン状態にする。これにより、帰還ループが形成されて上記メ

メモリセルからの読み出し信号がインバータ回路N1とN2からなるラッチ回路により保持される。

【0013】

上記のようにテスト動作のときには、上記テストイネーブル信号TENがハイレベルにされるので、マルチプレクサMUXにおいては1側入力に対応した上記入力信号Dinが選択される。また、ナンドゲート回路G1は、テストキネーブル信号TENのハイレベルによりインバータ回路N3の出力信号がロウレベルとなり、ゲートを閉じてクロックパルスCLKに無関係に出力信号をハイレベルに固定する。ナンドゲート回路G1の出力信号のハイレベルにより、CMOSスイッチ(Q1とQ2)がオフ状態にされ、CMOSスイッチ(Q3とQ4)がオン状態にされる。これにより、メモリの上記入力信号DinがマルチプレクサMUX、上記オン状態のCMOSスイッチ(Q3とQ4)を通して上記インバータ回路N1、N2を通し、つまりは上記出力ラッチをスルーして出力信号Doutとして出力される。

【0014】

このようにして、通常動作時はラッチの記憶値を、テスト時はメモリ入力データDinを出力データDoutとして出力することができる。このとき、この実施例の出力ラッチでは、メインパス上には上記テスト用の信号経路が設けられていないので、通常動作時おいての遅延増加を防ぐことができる。つまり、前記図8の回路のようにマルチプレクサMUXによる遅延増加がないので、通常動作での高速動作を実現することができる。

【0015】

図2には、この発明に係る半導体集積回路装置に搭載される出力ラッチの他の一実施例の回路図が示されている。この実施例は、メモリマクロセルのテスト時に出力ピンを固定する例を示す。この場合、テスト信号選択回路として、前記図1のマルチプレクサMUXに代えてアンド(AND)ゲート回路G2が用いられる。つまり、アンドゲート回路G2の一方の入力には、インバータ回路N2からのデータ出力Doutが入力される。アンドゲート回路G2の他方の入力には、インバータ回路N3を通したテストイネーブル信号TENが入力される。他の構成

は、前記図 1 の実施例と同様である。

【0016】

前記のような通常動作においては、テストイネーブル信号 T E N がロウレベルにされるので、クロックパルス C L K がハイレベルのときには、ナンドゲート回路 G 1 の出力信号がロウレベルとなり、C M O S スイッチ (Q 1 と Q 2) をオン状態にし、C M O S スイッチ (Q 3 と Q 4) をオフ状態にするので、メモリセルからの読み出し信号がインバータ回路 N 1 と N 2 からなるメインパスを通して出力信号 D o u t として伝えられる。クロックパルス C L K がハイレベルからロウレベルに変化すると、ナンドゲート回路 G 1 の出力信号がハイレベルとなり、C M O S スイッチ (Q 1 と Q 2) をオフ状態にし、C M O S スイッチ (Q 3 と Q 4) をオン状態にする。これにより、帰還ループ (フィードバックループ) が形成されて上記メモリセルからの読み出し信号がインバータ回路 N 1 と N 2 からなるラッチ回路により保持される。

【0017】

上記のようにテスト動作のときには、上記テストイネーブル信号 T E N がハイレベルにされるので、ナンドゲート回路 G 1 がゲートを閉じてクロックパルス C L K に無関係に出力信号をハイレベルに固定する。ナンドゲート回路 G 1 の出力信号のハイレベルにより、C M O S スイッチ (Q 1 と Q 2) がオフ状態にされ、C M O S スイッチ (Q 3 と Q 4) がオン状態にされる。これにより、テストイネーブル信号 T E N のハイレベルが、上記インバータ回路 N 3、アンドゲート回路 G 2、上記オン状態の C M O S スイッチ (Q 3 と Q 4) を通して上記インバータ回路 N 1、N 2 を通して出力される。

【0018】

この実施例では、上記のようなアンドゲート回路 G 2 からなるテスト信号選択回路をフィードバックループ上に設けることで、前記図 1 の実施例と同様に通常動作時のメインパスの遅延増加を防ぎ、テスト時にはテストイネーブル信号 T E N に対応した固定信号を出力することができる。

【0019】

図 3 には、この発明に係る半導体集積回路装置に搭載される出力ラッチの更に

他の一実施例の回路図が示されている。この実施例は、前記図 1 の実施例の変形例であり、メモリの入力信号 Din が出力ラッチをスルーして出力信号 Dout として出力させられる。この実施例では、フィードバックループの CMOS スイッチとテスト信号選択用の CMOS スイッチとが切り替えられる。つまり、P チャネル MOSFET Q5 と N チャネル MOSFET Q6 からなるテスト信号選択用の CMOS スイッチが設けられる。

【0020】

上記 CMOS スイッチ (Q5 と Q6) は、入力信号 Din をメインパスとしてのインバータ回路 N1 の入力端子に伝える信号経路を構成する。このため、上記 CMOS スイッチ (Q5、Q6) は、フィードバックループの外に存在するが、テスト動作のときに後述するように CMOS スイッチ (Q3 と Q4) をオフ状態にさせることが条件となるから、通常動作とテスト動作との信号選択回路は、前記実施例と同様にフィードバックループに存在するものといえることができる。

【0021】

上記のようにフィードバックループの CMOS スイッチ (Q3 と Q4) の前記のような制御のために、テストイネーブル信号 TEN とクロックパルス CLK とは、ノア (NOR) ゲート回路 G3 に入力され、その出力信号が N チャネル MOSFET Q4 のゲートに伝えられ、インバータ回路 N4 で反転された信号が P チャネル MOSFET Q3 のゲートに伝えられる。上記テスト信号選択用の CMOS スイッチを構成する N チャネル MOSFET Q6 のゲートには、テストイネーブル信号 TEN が供給され、P チャネル MOSFET Q5 のゲートには、上記テストイネーブル信号 TEN がインバータ回路 N3 により反転させられて供給される。

【0022】

前記のような通常動作においては、テストイネーブル信号 TEN がロウレベルにされるので、ナンドゲート回路 G1 及びノアゲート回路 G3 がゲートを開いて、クロックパルス CLK がハイレベルのときには、ナンドゲート回路 G1 の出力信号がロウレベルとなり、CMOS スイッチ (Q1 と Q2) をオン状態にし、ノアゲート回路 G3 の出力信号がロウレベルとなり、CMOS スイッチ (Q3 と Q

4) をオフ状態にするので、メモリセルからの読み出し信号がインバータ回路N1とN2からなるメインパスを通して出力信号Dout として伝えられる。

【0023】

クロックパルスCLKがハイレベルからロウレベルに変化すると、ナンドゲート回路G1の出力信号がハイレベルとなり、CMOSスイッチ(Q1とQ2)をオフ状態にし、ノアゲート回路G3の出力信号がハイレベルとなり、CMOSスイッチ(Q3とQ4)をオン状態にする。これにより、帰還ループが形成されて上記メモリセルからの読み出し信号がインバータ回路N1とN2からなるラッチ回路により保持される。

【0024】

前記のようにテスト動作のときには、上記テストイネーブル信号TENがハイレベルにされる。これにより、ナンドゲート回路G1は、ゲートを閉じてクロックパルスCLKに無関係に出力信号をハイレベルに固定し、ノアゲート回路G3は、ゲートを閉じてクロックパルスCLKに無関係に出力信号をロウレベルに固定する。上記ナンドゲート回路G1の出力信号のハイレベルにより、CMOSスイッチ(Q1とQ2)がオフ状態にされ、上記ノアゲート回路G3の出力信号のロウレベルにより、CMOSスイッチ(Q3とQ4)がオフ状態にされる。上記テストイネーブル信号TENのハイレベルにより、CMOSスイッチ(Q5とQ6)がオン状態にされ、メモリの入力信号Dinが上記オン状態のCMOSスイッチ(Q3とQ4)を通して上記インバータ回路N1、N2を通し、つまりは上記出力ラッチをスルーして出力信号Dout として出力される。

【0025】

この実施例では、上記のようなCMOSスイッチ(Q5とQ6)を通した信号をフィードバックループ部に切り替えて入力させることで、通常動作時のメインパス及びフィードバックループのCMOSスイッチでの遅延増加を防ぎ、テスト時にはメモリの入力信号Dinをスルーして出力信号Dout として出力させることができる。

【0026】

図4には、この発明に係る半導体集積回路装置におけるメモリと論理段の一実

施例の概略回路図が示されている。この実施例の半導体集積回路装置では、メモリと論理段により 1 つの信号パスが構成される。つまり、メモリは、複数の論理素子（ゲート）からなる論理段のうちの 1 つの論理素子を構成するものと扱われる。それ故、比較的小さな規模のメモリとされる。

【0027】

デジタル信号処理回路では、タイミング信号としてのクロックパルスに同期して動作シーケンスの制御が行われる。つまり、クロックパルスにより入力信号の取り込みを行う信号保持回路としてのフリップフロップ回路の間に論理処理を行なう論理素子段が設けられる。上記フリップフロップ回路は、取り込んだ信号をクロックパルスの 1 周期の間保持しているため、その保持時間内に上記論理ゲート段での所定の論理動作が行われて次段のフリップフロップ回路の入力に伝えられる必要がある。

【0028】

上記メモリにて図 8 に示したような出力ラッチを含んで 2.181 ns のような信号伝達遅延時間を持つ場合、同図のような論理素子を含んでパス全体では 4.357 ns を要するようなデジタル回路では、動作周波数（クロックパルス）が 22.9 MHz となる。メモリの出力部分に設けられたマルチプレクサ MUX での遅延時間を 200 ps と仮定すると、前記図 1 の実施例のような出力ラッチを用いることにより、メモリでの信号伝達遅延時間が 1.981 ns のように短くできる。この結果、同図のような論理素子を含んだパス全体でも 4.157 ns のように短くできる。この結果、動作周波数（クロックパルス）に換算すると、24.1 MHz のように高速化できる。つまり、本発明を適用することで、約 12 MHz もの動作周波数を向上させることができる。

【0029】

図 5 には、この発明に係る半導体集積回路装置に搭載されるスキャン付フリップフロップ回路の一実施例の回路図が示されている。この実施例は、フリップフロップ回路 FF にテスト時にスキャンデータを取り込む回路が設けられて、スキャンフリップフロップ回路が構成される。この実施例でも、テスト信号選択回路として CMOS スイッチを用い、かかるテスト信号選択回路がフィードバックル

ープ上に設けられることで、前記同様に通常動作時のメインパスの遅延増加を防ぐようにするものである。

【0030】

フリップフロップ回路は、第1ラッチ回路と第2ラッチ回路及び出力インバータ回路N13から構成される。第1ラッチ回路は、入力信号Dinを受けるインバータ回路N10と、このインバータ回路N10の出力信号を伝達するPチャネルMOSFETQ11とNチャネルMOSFETQ12からなるCMOSスイッチと、このCMOSスイッチを通した信号を受けるインバータ回路N11と、上記インバータ回路N11の出力信号を受けるクロックドインバータ回路CN1及びクロックドインバータ回路CN1の出力信号を上記インバータ回路N11の入力端子に伝えるPチャネルMOSFETQ13とNチャネルMOSFETQ14からなるCMOSスイッチから構成される。

【0031】

上記第1ラッチ回路において、上記インバータ回路N10、CMOSスイッチ(Q11とQ12)及びインバータ回路N11がメインパスを構成し、上記クロックドインバータ回路CN1とCMOSスイッチ(Q13とQ14)がフィードバックループを構成する。

【0032】

第2ラッチ回路は、上記メインパスを構成するインバータ回路N11の出力信号を伝達するPチャネルMOSFETQ15とNチャネルMOSFETQ16からなるCMOSスイッチと、このCMOSスイッチを通した信号を受けるインバータ回路N12と、上記インバータ回路N12の出力信号を受けるインバータ回路N13及び上記インバータ回路N12の出力信号を受けて反転信号を形成するインバータ回路N14と、その出力信号を上記インバータ回路N12の入力端子に伝えるPチャネルMOSFETQ17とNチャネルMOSFETQ18からなるCMOSスイッチとから構成される。上記インバータ回路N13は、上記インバータ回路N12の出力信号を受けてデータ出力信号Doutを形成する。

【0033】

テスト時にスキャンデータを取り込む回路は、次のような回路からなり、上記

第1ラッチ回路のフィードバックループに設けられる。スキャン入力信号 S_{in} は、クロックドインバータ回路 CN2 の入力端子に供給される。このクロックドインバータ回路 CN2 の出力信号は、Pチャネル MOSFET Q17 と Nチャネル MOSFET Q18 からなる CMOS スイッチを通して上記フィードバックループの上記クロックドインバータ回路 CN1 の出力端子と CMOS スイッチ (Q13 と Q14) の接続点に伝えられる。また、上記第2ラッチ回路のインバータ回路 N12 の出力信号を受けて、スキャン出力信号 S_{out} を形成するインバータ回路 N18 が設けられる。

【0034】

上記スキャン付フリップフロップ回路において、通常動作とスキャン動作とを行わせる信号生成回路が設けられる。スキャンイネーブル信号 S_{EN} とクロックパルス CLK は、ノアゲート回路 G11 に入力される。このノアゲート回路 G11 の出力信号は、第1ラッチ回路のメインパスに設けられた CMOS スイッチの Nチャネル MOSFET Q12 のゲートと、フィードバックループに設けられた CMOS スイッチの Pチャネル MOSFET Q13 のゲートに供給される。

【0035】

上記ノアゲート回路 G11 の出力信号は、インバータ回路 N15 により反転されて、上記第1ラッチ回路のメインパスに設けられた CMOS スイッチの Pチャネル MOSFET Q11 のゲートと、フィードバックループに設けられた CMOS スイッチの Nチャネル MOSFET Q14 のゲートに供給される。これにより、上記第1ラッチ回路のメインパスの CMOS スイッチ (Q11 と Q12) と、フィードバックループの CMOS スイッチ (Q13 と Q14) とは相補的にスイッチ制御される。

【0036】

上記スキャンイネーブル信号 S_{EN} は、クロックドインバータ回路 CN2 に供給される。クロックドインバータ回路 CN2 は、スキャンイネーブル信号 S_{EN} がハイレベルのときには動作状態にされ、スキャン入力信号 S_{in} を反転して出力させる。上記クロックドインバータ回路 CN2 は、スキャンイネーブル信号 S_{EN} がロウレベルのときには非動作状態にされ、出力ハイインピーダンス状態にさ

れる。

【0037】

クロックパルスCLKは、インバータ回路N16により反転されて、第2ラッチ回路のメインパスのCMOSスイッチのPチャネルMOSFETQ15のゲートと、フィードバックループのCMOSスイッチのNチャネルMOSFETQ18のゲート及びテスト信号選択用のCMOSスイッチのNチャネルMOSFETQ20のゲートに伝えられる。上記インバータ回路N16の出力信号を反転させるインバータ回路N17の出力信号は、第2ラッチ回路のメインパスのCMOSスイッチのNチャネルMOSFETQ16のゲートと、フィードバックループのCMOSスイッチのPチャネルMOSFETQ17のゲートと、テスト信号選択用のCMOSスイッチのPチャネルMOSFETQ19及び第1ラッチ回路のフィードバックループのクロックドインバータ回路CN1に伝えられる。

【0038】

通常動作においては、スキャンイネーブル信号SENがロウレベルにされるので、ノアゲート回路G11がゲートを開いて、クロックパルスCLKを反転して伝える。つまり、クロックパルスCLKがロウレベルのときには、反転信号であるハイレベルを形成して第1ラッチ回路のフィードバックループを構成するPチャネルMOSFETQ13をオフ状態にし、第1ラッチ回路のメインパスのNチャネルMOSFETQ12をオン状態にする。上記ノアゲート回路G11の出力信号を受けるインバータ回路N15の出力信号がロウレベルとなり、上記第1ラッチ回路のフィードバックループを構成するNチャネルMOSFETQ14をオフ状態にし、第1ラッチ回路のメインパスのPチャネルMOSFETQ11をオン状態にする。これより、第1ラッチ回路は、インバータ回路N10を通した入力信号Dinの取り込みを行う。

【0039】

上記クロックパルスCLKがロウレベルのとき、インバータ回路N16の出力信号がハイレベルとなり、インバータ回路N17の出力信号をロウレベルとする。第2ラッチ回路では、上記第1ラッチ回路とは逆に、メインパスを構成するPチャネルMOSFETQ15とNチャネルMOSFETQ16をオフ状態にし、

第2ラッチ回路のフィードバックループのNチャネルMOSFET Q18とPチャネルMOSFET Q17をオン状態にする。これより、第2ラッチ回路では、それ以前に取り込んだ第1ラッチ回路の出力信号の保持動作を行う。

【0040】

このとき、スキャンイネーブル信号SENのロウレベルにより、クロックドインバータ回路CN2が出力ハイインピーダンス状態にされており、スキャン入力信号Sinの取り込みが行われない。したがって、クロックパルスCLKのロウレベルにより、インバータ回路N16の出力信号がハイレベルとなり、インバータ回路N17の出力信号がロウレベルとなって、テスト信号選択用のCMOSスイッチであるNチャネルMOSFET Q20とPチャネルMOSFET Q19がオン状態なっても上記入力信号Dinの取り込み動作を行う第1ラッチ回路には影響を与えない。また、第1ラッチ回路のフィードバックループに設けられたクロックドインバータ回路CN1も、上記インバータ回路N17の出力信号のロウレベルにより出力ハイインピーダンス状態にされている。

【0041】

クロックパルスCLKがロウレベルからハイレベルに変化すると、ノアドゲート回路G11の出力信号がロウレベルとなり、前記とは逆に第1ラッチ回路ではCMOSスイッチ(Q11とQ12)をオフ状態にし、CMOSスイッチ(Q13とQ14)をオン状態にする。また、クロックドインバータ回路CN1を動作状態にするので、フィードバックループが形成され、インバータ回路N1とクロックドインバータ回路CN1とがラッチ形態にされて保持動作を行う。

【0042】

また、クロックパルスCLKがロウレベルからハイレベルに変化すると、前記とは逆に第2ラッチ回路ではCMOSスイッチ(Q17とQ18)をオフ状態にし、CMOSスイッチ(Q15とQ16)をオン状態にする。これにより、上記第1ラッチ回路で保持された信号を取り込んで、インバータ回路N12及び出力インバータ回路N13を通して出力信号Doutを出力させる。このとき、スキャン出力信号Soutもインバータ回路N18から出力されるが、それを受ける次段の回路では、クロックドインバータ回路CN2に対応するスキャン入力回路が非

動作状態であるので問題ない。また、このときには、テスト信号選択用のCMOSスイッチ（Q19とQ20）は、オフ状態にされている。

【0043】

このようにして、通常動作ではクロックパルスCLKがロウレベルからハイレベルに立ち上がるタイミングで、出力信号を論理段に伝えるとともに、入力信号Dinの取り込みを停止するので、論理段で許容される遅延時間は、上記クロックパルスCLKの1周期に相当する時間とされる。厳密には、論理段で許容される遅延時間は、上記クロックパルスCLKの1周期から上記第1ラッチ回路での入力信号の取り込み時間（セットアップ時間）が差し引かれる。

【0044】

テスト動作のときには、上記スキャンイネーブル信号SENがハイレベルにされる。これにより、ノアゲート回路G11は、クロックパルスCLKに無関係に出力信号をロウレベルに固定する。つまり、ノアゲート回路G11のゲートを閉じて出力信号をロウレベルに固定する。この結果、第1ラッチ回路では、メインパスのCMOSスイッチ（Q11とQ12）がオフ状態にされて、論理段からの入力信号Dinの取り込みが停止される。これに替わって、上記スキャンイネーブル信号SENのハイレベルにより、クロックドインバータ回路CN2が動作状態となり、スキャン入力信号Sinの取り込みが可能とされる。また、上記ノアゲート回路G11の出力信号のロウレベルによりフィードバックループのCMOSスイッチ（Q13とQ14）がオン状態にされる。

【0045】

上記テスト動作においては、クロックパルスCLKがロウレベルのときには、インバータ回路N16の出力信号がハイレベルに、インバータ回路N17の出力信号がロウレベルにされる。上記インバータ回路N17のロウレベルにより第1ラッチ回路のフィードバックループを構成するクロックドインバータ回路CN1が出力ハイインピーダンス状態にされ、テスト信号選択用のCMOSスイッチ（Q19とQ20）がオン状態にされる。これより、第1ラッチ回路では、クロックインバータ回路CN12を通したスキャン入力信号Sinが、オン状態のCMOSスイッチ（Q13とQ14）を通してフィードバックループから入力されてメ

インパスのインバータ回路N11の入力端子に伝えられるというスキャン入力信号Sinの取り込みが行われる。

【0046】

上記クロックパルスCLKがロウレベルのとき、前記通常動作のときと同様に第2ラッチ回路では、上記第1ラッチ回路とは逆に、メインパスを構成するPチャネルMOSFETQ15とNチャネルMOSFETQ16をオフ状態にし、第2ラッチ回路のフィードバックループのNチャネルMOSFETQ18とPチャネルMOSFETQ17をオン状態にする。これより、第2ラッチ回路では、それ以前に取り込んだ第1ラッチ回路の出力信号の保持動作を行う。

【0047】

クロックパルスCLKがロウレベルからハイレベルに変化すると、前記とは逆に第1ラッチ回路ではテスト信号選択用のCMOSスイッチ(Q19とQ20)をオフ状態にし、クロックドインバータ回路CN1を動作状態にする。これにより、フィードバックループが形成され、インバータ回路N1とクロックドインバータ回路CN1とがラッチ形態にされて前記取り込んだスキャン入力信号Sinの保持動作を行う。

【0048】

また、クロックパルスCLKがロウレベルからハイレベルに変化すると、前記通常動作のときと同様に第2ラッチ回路ではCMOSスイッチ(Q17とQ18)をオフ状態にし、CMOSスイッチ(Q15とQ16)をオン状態にする。これにより、上記第1ラッチ回路で保持された信号を取り込んで、インバータ回路N12及び出力インバータ回路N14を通してスキャン出力信号Soutを出力させる。このとき、データ出力信号Doutもインバータ回路N13から出力されて論理段に伝えられるが、それに対応したデータ入力信号Dinは、第1ラッチ回路には取り込まれないから問題ない。

【0049】

このようにして、テスト動作ではクロックパルスCLKがロウレベルからハイレベルに立ち上がるタイミングで、スキャン出力信号を論理段に伝えるとともに、スキャン入力信号Sinの取り込みを停止するので、チェーン状態に接続された

スキャン付FFにテスト用の入力信号がシリアルに取り込まれる。

【0050】

この実施例では、スキャン付フリップフロップ回路に対して、テスト信号選択回路を付加する際にテスト信号選択回路をラッチ回路のフィードバックループ部に設ける。これにより、テスト信号選択回路を付加しても、通常動作時のメインパス上にはディレイ劣化が生じない。このようにラッチ回路にテスト信号選択回路を付加しても、通常動作時での論理素子の遅延増加を防ぐことができるので、高速動作を実現することができる。

【0051】

厳密には、スキャン付フリップフロップ回路においては、メモリの出力ラッチ回路のように論理段に入力される信号のタイミングの遅れを防ぐのではなく、上記のように第1ラッチ回路のメインパス上にはディレイ劣化が生じなくすることにより論理段から伝えられる入力信号Dinのセットアップ時間を短くすることができる。結果としては、前記出力ラッチ回路の場合と同様に動作周波数を高くすることができる。本願発明に係る前記のような手法をスキャン付フリップフロップ回路に適用しない場合には、テスト回路を付加した際に、セットアップ時間の増加によって動作周波数が遅くなるが、本願発明の適用によって、スキャン付フリップフロップ回路を備えたテスト回路を付加しつつ、動作周波数を高くすることができる。

【0052】

図6には、この発明に係る半導体集積回路装置の一実施例の全体ブロック図が示されている。この実施例の半導体集積回路装置は、特に制限されないが、DRAM（ダイナミック型RAM）とSRAM（スタティック型RAM）と、それを制御するためのユーザーロジック（User Logic）及びテスト回路BISTとインターフェイス回路JTAGからなる。上記インターフェイス回路JTAGは、クロック端子TCKに同期し、モード設定信号TMS及びテスト入力データTDI及びテスト出力データTDOをシリアルに入出力する。

【0053】

DRAMは、特に制限されないが、64Kワード×288ビット（約18.4

Mビット)のような大きな記憶容量を持つDRAMコアと、かかるDRAMコアに対して書き込み用に72ビットずつの記憶容量を持つ4つのレジスタと、読み出し用の72ビットずつの記憶容量を持つ4つのレジスタとを備える。

【0054】

SRAMはDRAMの入出力動作時のバッファレジスタとしての役割を持ち、特に制限されないが、それぞれが128ワード×72ビット持つ書き込み用のポートが4個設けられ、それぞれが128ワード×72ビット持つ読み出し用のポートが4個設けられる。ユーザーロジックは、72ビットの単位で入出力する入出力インターフェイス部と、72ビットずつのデータを上記SRAMとDRAMとの間で伝達するマルチプレクサ等から構成される。

【0055】

テスト回路BISTは、ユーザーロジック部とにおいてチェーン状にされてレジスタを構成するようにされたラッチ回路に対してシリアルにテストパターンを供給し、ユーザーロジック部及びDRAMやSRAMに対する動作を指示する信号をパラレルに送出させるというMUX-SCAN経路を備える。これにより、DRAMやSRAM及びユーザーロジックは、必要に応じてMUX-SCANの動作モードによりテスト回路BISTから供給されるテストパターンによって内部回路が動作させられて、それぞれ独自に判定を行うようにすることができる。

【0056】

上記ユーザーロジックにおいて、前記図7(a)に示したように通常動作のときに前記DRAMやSRAMのような比較的大きなメモリとは異なり、比較的小きな記憶容量を持つメモリのからの読み出し信号を受ける論理段が存在するので、テスト動作のときに図7(b)に示すようにメモリをスルーさせた入力信号又は固定信号をテスト信号として論理段に入力させる必要がある。このような入力信号のスルー又は固定信号の生成のために、前記図1、図2又は図3のようなラッチ回路が設けられるものである。

【0057】

上記メモリ回路として、比較的大きな記憶容量を持つ前記DRAMやSRAMを含めてもよいが、前記図4のように信号パスの一部に組み込むと、そこでの遅

延時間（メモリアクセス時間）が長くなりすぎてしまう。この実施例のDRAMやSRAMは、それぞれのメモリアクセスにクロックパルスの複数周期を費やすことが必要とされるものである。このため、上記DRAMやSRAMは、同図でチェーン状にされてレジスタを構成するようにされたラッチ回路によりそれぞれ単独にメモリアクセスのための入力信号（アドレス、データ）を入力できるようにし、複数クロック周期の後に読み出し信号をラッチ回路に受けて上記チェーンにより回収する。

【0058】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、クロックドインバータ回路CN1，CN2は、インバータ回路に対してクロックパルスに同期して動作電圧を供給するスイッチMOSFETを設ける構成の他、インバータ回路の出力部にCMOSスイッチを設けて、上記出力ハイインピーダンスを作り出すものであってもよい。ラッチ回路のフィードバックループにテスト信号を切り替えて入力させる靴的構成は、種々の実施形態を採ることができるものである。テストイネーブル信号TENとスキャンイネーブル信号SENは、同じ信号を用いるものであってもよい。この発明は、テスト回路を備えた各種半導体集積回路装置に広く利用することができる。

【0059】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。メモリ回路の出力部又は論理段の入力側に設けられたラッチ回路において、信号選択回路をラッチ回路のフィードバックループに設けて、かかる信号選択回路を動作モードに対応して切り替えて、通常動作のときには帰還信号を伝え、テスト動作のときにはテスト信号を入力するようにして、通常動作時のメインパスでの信号選択回路による遅延増加を防いで高速化を実現することができる。

【図面の簡単な説明】

【図 1】

この発明に係る半導体集積回路装置に搭載される出力ラッチの一実施例を示す回路図である。

【図 2】

この発明に係る半導体集積回路装置に搭載される出力ラッチの他の一実施例を示す回路図である。

【図 3】

この発明に係る半導体集積回路装置に搭載される出力ラッチの更に他の一実施例を示す回路図である。

【図 4】

この発明に係る半導体集積回路装置におけるメモリと論理段の一実施例を示す概略回路図である。

【図 5】

この発明に係る半導体集積回路装置に搭載されるスキャン付フリップフロップ回路の一実施例を示す回路図である。

【図 6】

この発明に係る半導体集積回路装置の一実施例を示す全体ブロック図である。

【図 7】

この発明に先立って検討されメモリと論理段の機能テストの概念図である。

【図 8】

図 7 の機能テストに用いられる出力ラッチの一例を示す回路図である。

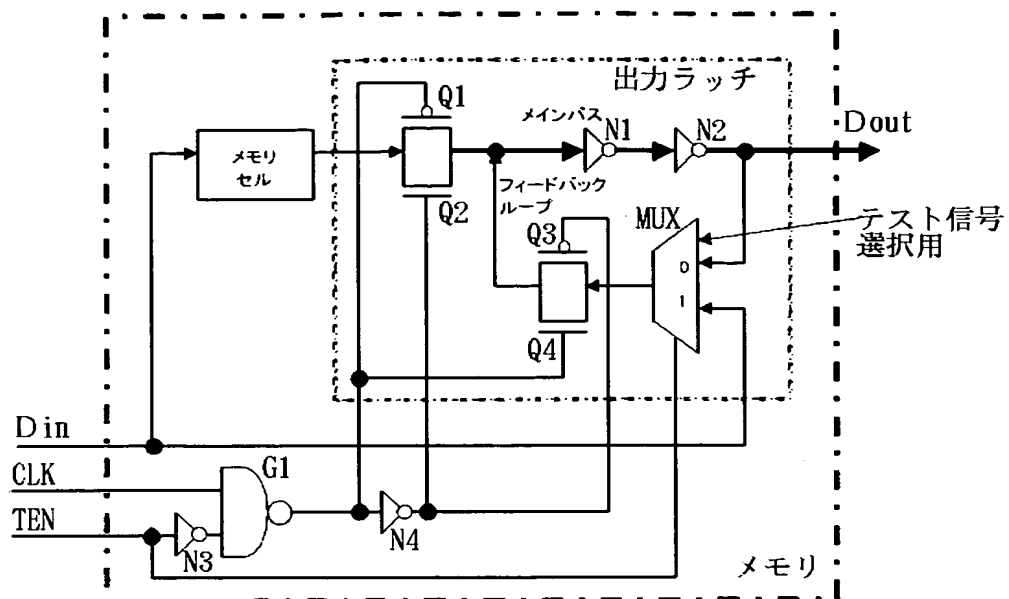
【符号の説明】

Q1～Q20…MOSFET、G1～G3、G11…ゲート回路、MUX…マルチプレクサ、FF…フリップフロップ回路、CN1、CN2…クロックドインバータ回路、N1～N18…インバータ回路、

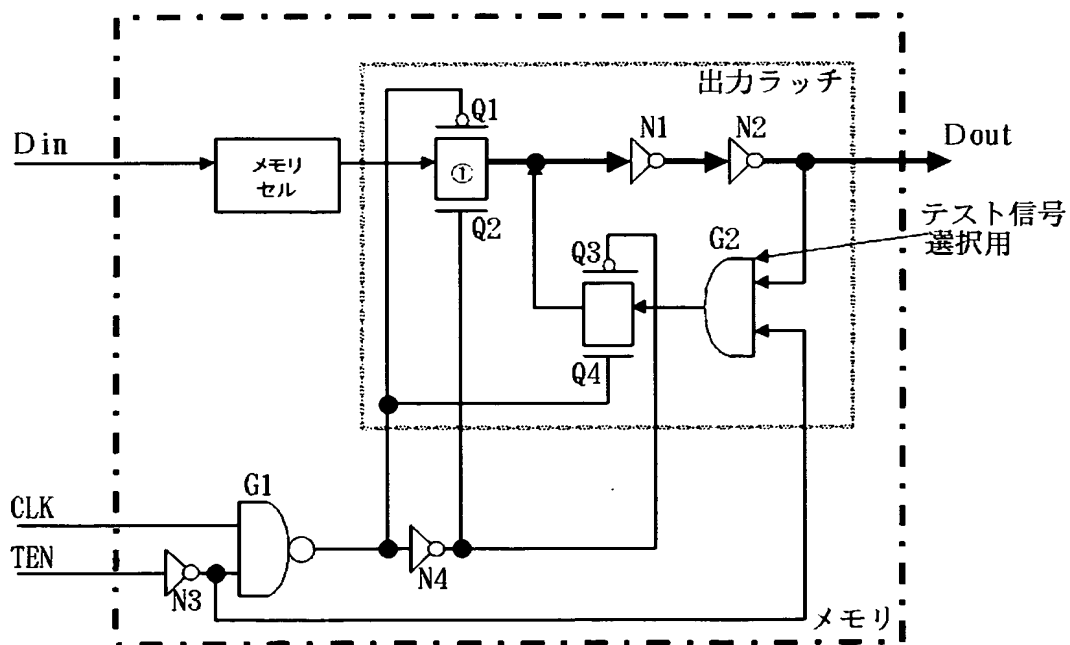
SRAM…スタティック型ランダム・アクセス・メモリ、DRAM…ダイナミック型ランダム・アクセス・メモリ、JTAG…インターフェイス回路、BIT…テスト回路。

【書類名】 図面

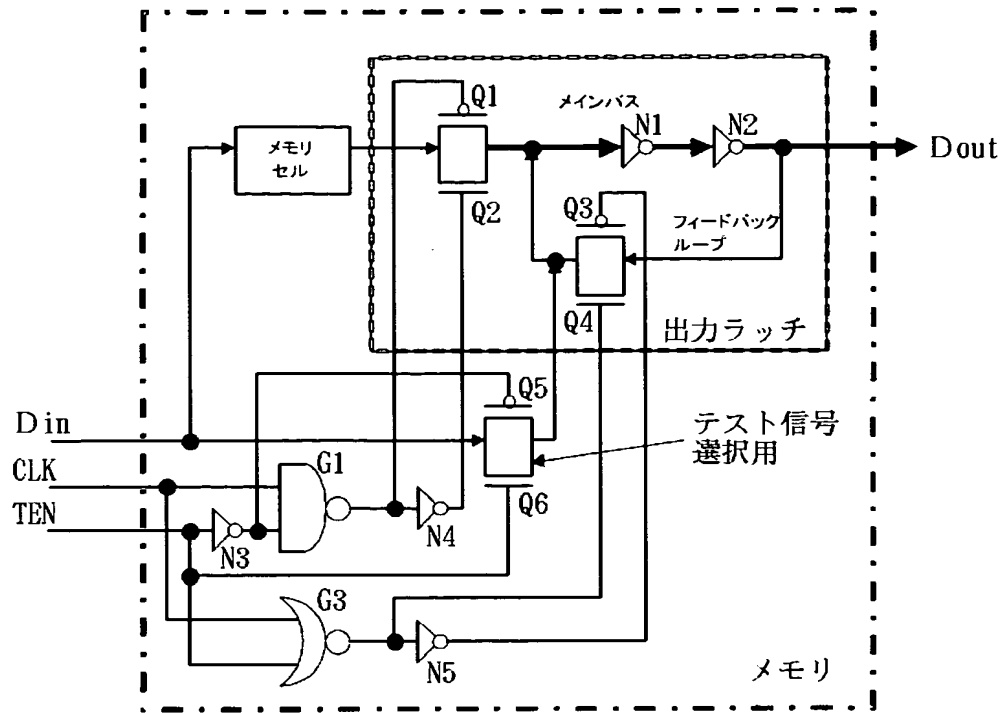
【図 1】



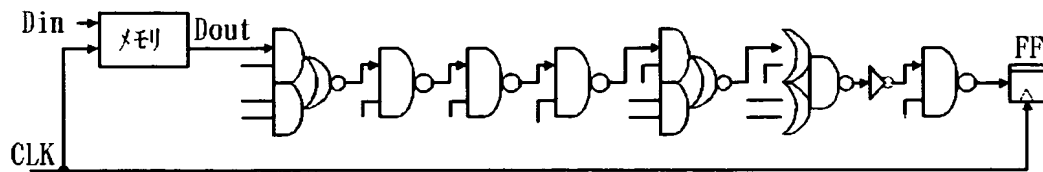
【図 2】



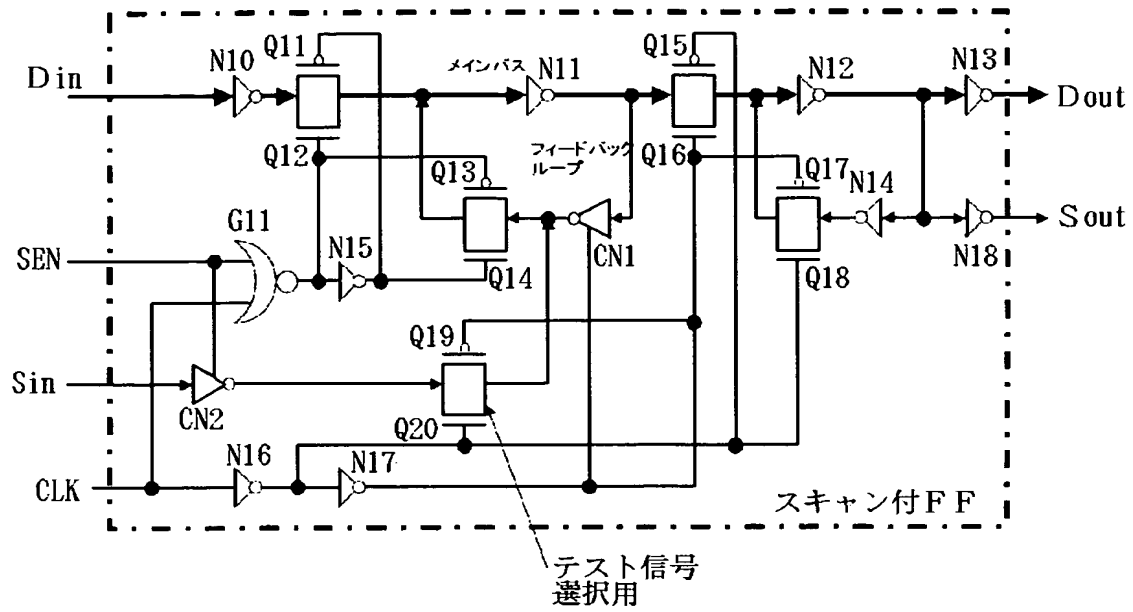
【図 3】



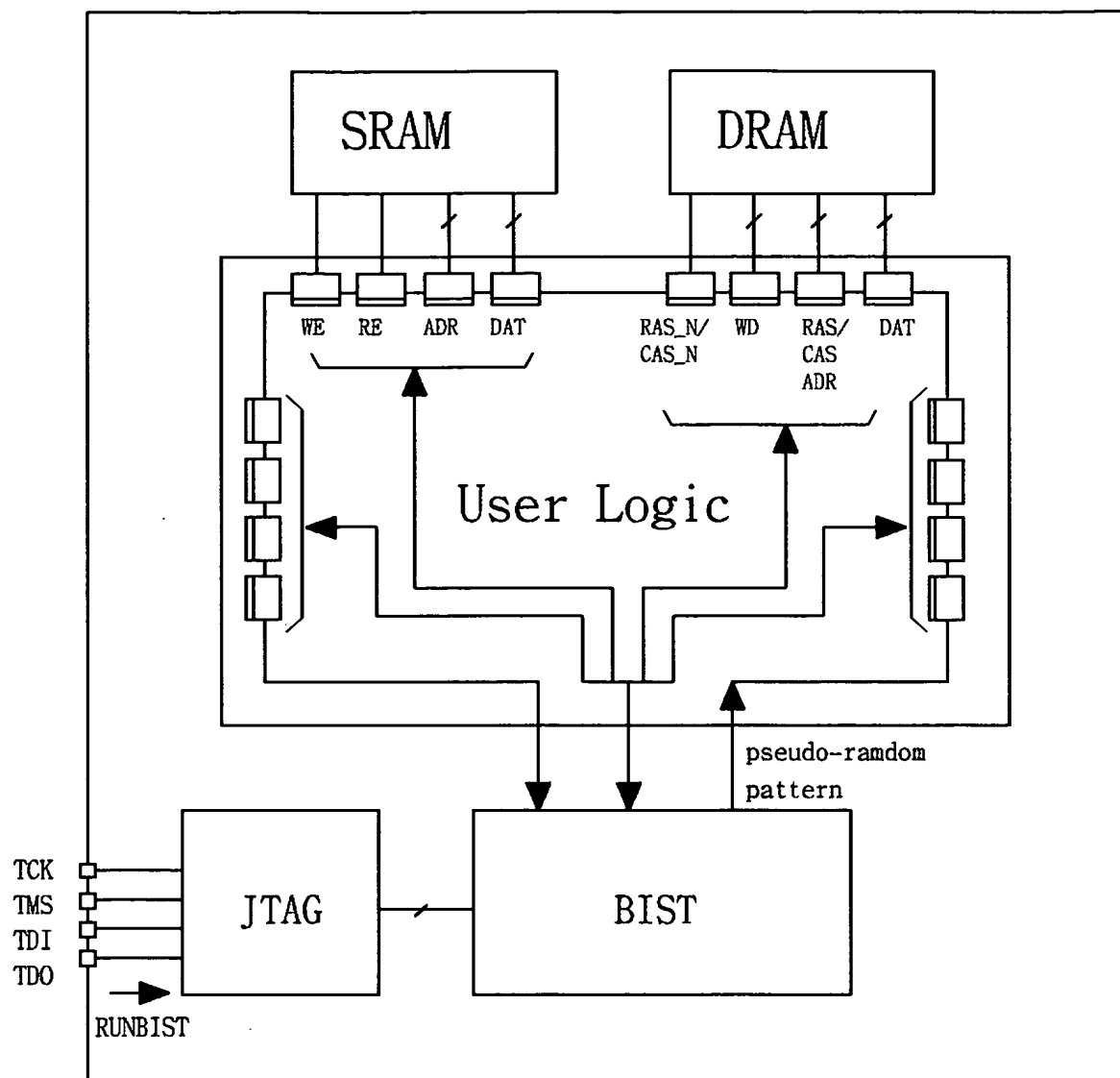
【図 4】



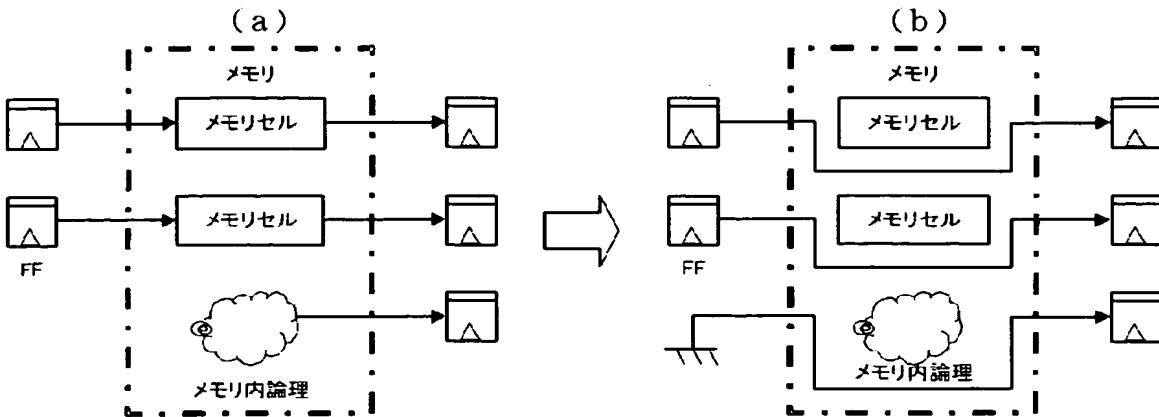
【図 5】



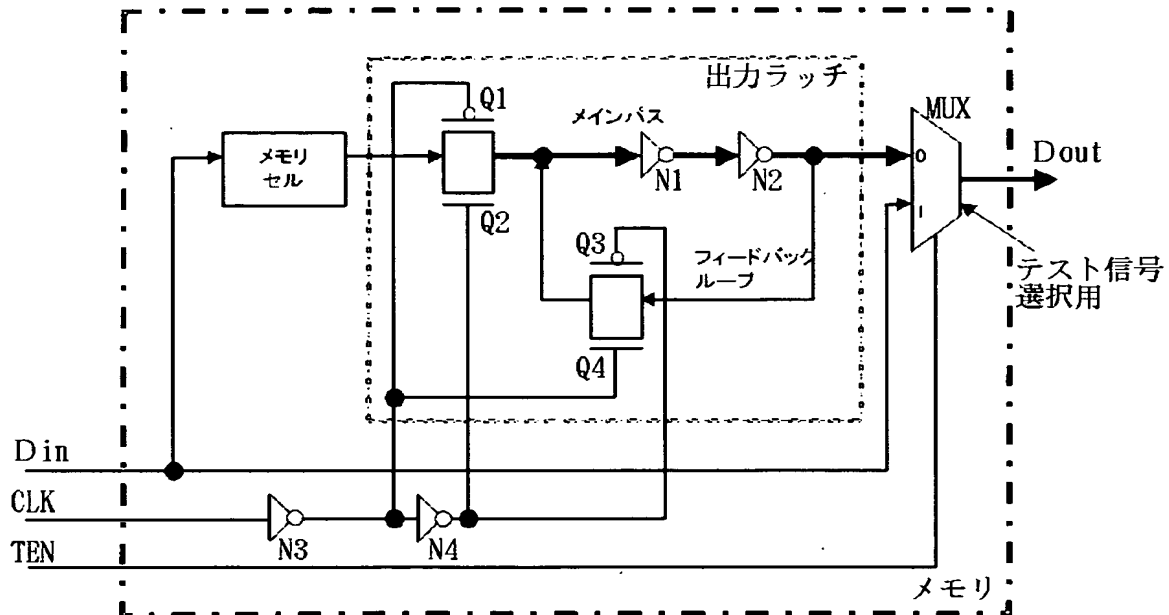
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 通常動作時の論理素子ディレイを劣化させない診断回路を備えた半導体集積回路装置を提供する。

【解決手段】 メモリ回路の出力部又は論理段の入力側に設けられたラッチ回路において、信号選択回路をラッチ回路のフィードバックループに設けて、かかる信号選択回路を動作モードに対応して切り替えて、通常動作のときには帰還信号を伝え、テスト動作のときにはテスト信号を入力するようにして、通常動作時のメインパスでの信号選択回路による遅延増加を防ぐようにする。

【選択図】 図 1

特願 2 0 0 3 - 0 9 1 5 1 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

| | |
|----------|------------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 3 1 日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都千代田区神田駿河台 4 丁目 6 番地 |
| 氏 名 | 株式会社日立製作所 |